

DE 102 46 053 A1 B81C/100

(57) Summery: This suggests a process and a substrate chip (16) to separate a substrate wafer (1) into a number of substrate chips (16); whereby at first the substrate wafer is temporarily bonded with the support wafer (6) and subsequently the substrate chips (16) are separated, whereby between the substrate chip (16) and the support wafer (6) a small pedestal (17) is provided.

THIS PAGE BLANK (USPTO)



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 102 46 053 A1** 2004.04.15

(12)

Offenlegungsschrift

(21) Aktenzeichen: **102 46 053.1**
(22) Anmeldetag: **02.10.2002**
(43) Offenlegungstag: **15.04.2004**

(51) Int Cl.⁷: **B81C 1/00**
H01L 21/301

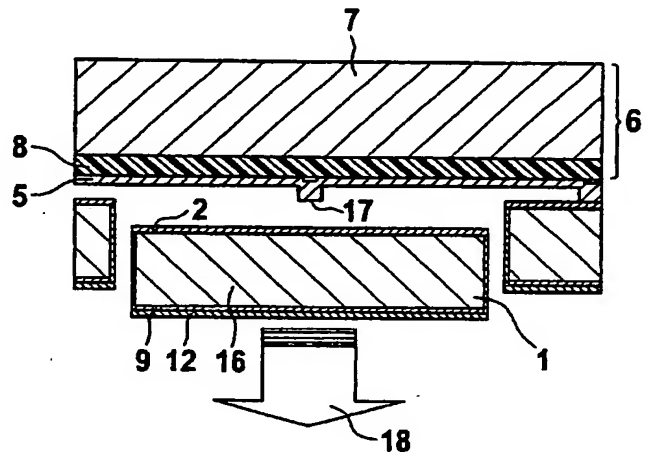
(71) Anmelder:
Robert Bosch GmbH, 70469 Stuttgart, DE

(72) Erfinder:
Fuertsch, Matthias, 72810 Gomaringen, DE; Pinter, Stefan, 72762 Reutlingen, DE; Fischer, Frank, 72810 Gomaringen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Verfahren und Substratchip**

(57) Zusammenfassung: Es wird ein Verfahren und ein Substratchip (16) zur Zertrennung eines Substratwafers (1) in einer Anzahl von Substratchips (16) vorgeschlagen, wobei zunächst der Substratwafer (1) mit einem Trägerwafer (6) temporär verbunden wird und anschließend die Substratchips (16) vereinzelt werden, wobei zwischen dem Substratchip (16) und dem Trägerwafer (6) ein schmaler Sockel (17) vorgesehen ist.



Beschreibung

Stand der Technik

Stand der Technik

[0001] Die Erfindung geht aus von einem Verfahren und einem Substratchip nach der Gattung der nebengeordneten Ansprüche. Aus der deutschen Offenlegungsschrift DE 100 31 252 ist bereits ein Verfahren zur Zertrennung eines Substratwafers in eine Anzahl von Substratchips bekannt. Hierbei werden mikromechanische bzw. mikroelektromechanische Bauelemente durch ein Tiefenätzverfahren aus dem Waferverbund voneinander getrennt. Beim Verfahren gemäß dem Stand der Technik wird eine Trägerfolie verwendet, die die vereinzelt Chips trägt. Dies ist vorteilhaft gegenüber dem allgemein aus dem Stand der Technik bekannten Vereinzeln von Chips mittels des Zersägens von Wafern. Nachteilig bei dem bekannten Verfahren ist, dass filigrane Chip-Strukturen beim Ablösen von der eingesetzten Trägerhaftfolie beschädigt werden können.

Vorteile der Erfindung

Aufgabenstellung

[0002] Das erfindungsgemäße Verfahren und der erfindungsgemäße Substratchip mit den Merkmalen der nebengeordneten Ansprüche haben demgegenüber den Vorteil, dass die mechanische Belastung der Substratchips bei deren Vereinzeln äußerst gering vorgesehen ist. Weiterhin ist die Ablösekraft der Substratchips steuerbar.

[0003] Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen des in den nebengeordneten Ansprüchen angegebenen Verfahrens und des Substratchips möglich. Besonders vorteilhaft ist, dass die Substratchips zeitlich vor dem Opferschichtätzen passiviert werden. Dadurch ist es möglich, dass kein Ätzangriff der Substratchips durch die Vereinzelung der Substratchips hervorgerufen wird. Weiterhin ist von Vorteil, dass die Mindesthaftung durch einen schmalen Sockel zwischen dem Substratchip und dem Trägerwafer vorgesehen ist. Dadurch ist es möglich, dass die Chips zum einen bis zu deren endgültiger Vereinzelung in einer definierten Position gehalten werden und dass zum anderen zum Abtrennen der vereinzelt Chips keine großen Kräfte notwendig sind. Weiterhin ist es dadurch möglich, die Kraft zur Ablösung eines Chips zu definieren. Weiterhin ist es von Vorteil, dass zur Entfernung der Opferschicht wenigstens eine Ausnehmung im Substratchip vorgesehen ist. Dadurch ist es möglich, große Chips mit der erfindungsgemäßen Verfahrensweise zu vereinzeln. Zeichnung Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zei-

gen

[0004] Fig. 1 eine erste Vorstufe eines Substratwafers, Fig. 2 eine zweite Vorstufe des Substratwafers, Fig. 3 eine dritte Vorstufe des Substratwafers, [0005] Fig. 4 die dritte Vorstufe des Substratwafers mit aufgebrachtem Trägerwafer, Fig. 5 eine vierte Vorstufe des Substratwafers mit aufgebrachtem Trägerwafer, Fig. 6 eine fünfte Vorstufe des Substratwafers mit aufgebrachtem Trägerwafer, Fig. 7 eine sechste Vorstufe des Substratwafers mit aufgebrachtem Trägerwafer, Fig. 8 eine siebte Vorstufe des Substratwafers mit aufgebrachtem Trägerwafer, Fig. 9 eine achte Vorstufe des Substratwafers mit aufgebrachtem Trägerwafer, Fig. 10 den Trägerwafer mit fast vereinzelt Substratchips, [0006] Fig. 11 den Trägerwafer mit abgelösten vereinzelt Substratchips und Fig. 12 den zu seiner Wiederverwendung vorgesehenen Trägerwafer.

Beschreibung der Ausführungsbeispiele

Ausführungsbeispiel

[0007] In Fig. 1 ist eine erste Vorstufe des erfindungsgemäßen Substratwafers dargestellt. Der Substratwafer ist mit dem Bezugszeichen 1 bezeichnet. Der Substratwafer 1, der im Folgenden auch als Basiswafer 1 bezeichnet wird, ist insbesondere als Siliziumsubstrat vorgesehen. Hierzu wird insbesondere ein zur Produktion von integrierten Schaltkreisen (IC) vorgesehener Wafer verwendet. Der Substratwafer 1 weist eine erste untere Passivierungsschicht 2 auf, welche beispielsweise als Siliziumdioxid vorgesehen ist, welches beispielsweise mittels thermischer Oxidation oder mittels eines CVD-Verfahrens (Chemical Vapour Deposition) hergestellt ist. Die erste untere Passivierungsschicht 2 kann beispielsweise auch als Siliziumnitritschicht vorgesehen sein, die beispielsweise mittels eines CVD-Verfahrens abgeschieden ist. Die Dicke der ersten unteren Passivierungsschicht 2 ist erfindungsgemäß insbesondere zwischen 50 nm und 1 µm vorgesehen. Bei der Abscheidung der ersten Passivierungsschicht 2 können die Oberflächenvorbereitung bzw. die Abscheideparameter optional so gewählt werden, dass sich eine geringfügig niedrigere Haftung zwischen der ersten Passivierungsschicht 2 und dem Substratwafer 1 bzw. dem Substrat 1 einstellt. Beim späteren Abheben des Bauelementes bzw. des Chips würde die Grenzfläche zwischen dem Substratwafer 1 und der ersten Passivierungsschicht 2 die Sollbruchstelle darstellen.

[0008] In Fig. 2 ist eine zweite Vorstufe des Substratwafers 1 dargestellt. Auf dem Substratwafer 1 bzw. auf dem Substrat 1 und auf der ersten Passivierungsschicht 2 ist eine Opferschicht 3 vorgesehen, welche bevorzugt aus Polysilizium bzw. aus Polysiliziumgermanium vorgesehen ist. Die Opferschicht 3 ist derart strukturiert vorgesehen, dass die Opferschicht 3 in einem oder in mehreren definierten Bereichen, welche

in Fig. 2 mit dem Bezugszeichen 4 dargestellt sind, unterbrochen ist. Dies ist in Fig. 2 gut zu erkennen, da es sich bei allen Figuren um eine Schnittdarstellung handelt. Der mit dem Bezugszeichen 4 in Fig. 2 bezeichnete Bereich würde sich, von oben betrachtet, als Öffnung in der Opferschicht 3 darstellen. In dem mit dem Bezugszeichen 4 bezeichneten Bereich entsteht die weiter unten erläuterte Anbindung bzw. der Sockel eines später beschriebenen Chips an einen später beschriebenen Trägerwafer. Die Dicke der Opferschicht 3 beträgt erfindungsgemäß zwischen 200 nm und 5 µm.

[0009] In Fig. 3 ist eine dritte Vorstufe des Substratwafers 1 dargestellt. Weiterhin ist das Substrat 1, die erste Passivierungsschicht 2 bzw. die erste Passivierung 2, die Opferschicht 3 mit deren Unterbrechungsbereich 4 zusammen mit einer zweiten Passivierungsschicht 5 dargestellt. Die zweite Passivierungsschicht 5 wird auch als obere Passivierung 5 bezeichnet. Die zweite Passivierungsschicht 5 wird erfindungsgemäß insbesondere ebenfalls mittels Siliziumoxid bzw. Siliziumnitrit hergestellt bzw. erzeugt und weist eine Dicke von erfindungsgemäß beispielsweise zwischen 50 nm und 5 µm auf.

[0010] Auf die dritte Vorstufe des Substratwafers, d.h. die obere Passivierungsschicht 5 bzw. die obere Passivierung 5 wird ein Trägerwafer temporär für die weitere Verarbeitung aufgebracht. Der Trägerwafer ist in Fig. 4 und in den weiteren Figuren mit dem Bezugszeichen 6 bezeichnet. Der Trägerwafer 6 umfasst erfindungsgemäß insbesondere ein Grundsubstrat 7 bzw. einen Grundwafer 7 und eine haftvermittelnde Schicht 8. Der Grundwafer 7 bzw. das Grundsubstrat 7 des Trägerwafers 6 ist erfindungsgemäß insbesondere aus Silizium vorgesehen. Die haftvermittelnde Schicht 8 ist erfindungsgemäß insbesondere aus Polymerfolien vorgesehen bzw. aus Spin-on-Schichten vorgesehen, wie beispielsweise Polyimid, BCB oder ähnlichem. Die haftvermittelnde Schicht 8 kann erfindungsgemäß beispielsweise zuerst auf die zweite Passivierung 5 aufgebracht werden, wobei anschließend der Grundwafer 7 aufgebracht wird. Erfindungsgemäß ist es selbstverständlich möglich, dass die haftvermittelnde Schicht 8 mittels einer anderen Methode als des Aufbringens auf die zweite Passivierungsschicht 5 aufgebracht wird. Alternativ zu einer vorherigen Aufbringung der haftvermittelnden Schicht 8 auf die zweite Passivierungsschicht 5 und dem anschließenden Aufbringen des Grundwafers 7 ist es erfindungsgemäß selbstverständlich auch vorgesehen, den Grundwafer 7 zunächst mit der Schicht 8 zu beziehen und anschließend den gesamten Trägerwafer 6 auf die zweite Passivierung 5 des Substratwafers 1 mit seinen Beschichtungen aufzubringen. Erfindungsgemäß wird bevorzugt ein Grundwafer 7 bzw. ein Grundsubstrat 7 des Trägerwafers 6 verwendet, welches gegen den Angriff beim Opferschichtätzen passiviert ist. Speziell kann ein oxidiertes Grundwafer 7 beim Opferschichtätzen mit Xenondifluorid eingesetzt werden. In

Fig. 4 sind weiterhin der Substratwafer 1, die erste Passivierungsschicht 2, die Opferschicht 3 zusammen mit dem Bereich der Ausnehmung 4 in der Opferschicht 3 und die zweite Passivierungsschicht 5 dargestellt.

[0011] In Fig. 5 ist eine vierte Vorstufe des Substratwafers 1 mit aufgebrachtem Trägerwafer 6 dargestellt. Der Substratwafer 1 ist zusammen mit dem Trägerwafer 6 dargestellt, wobei der Substratwafer 1 abgedünnt dargestellt ist. Dies ist ein optionaler Schritt des erfindungsgemäßen Verfahrens. Die Abdünnung des Substratwafers 1 geschieht im Verbund mit dem Trägerwafer 6. Der Substratwafer 1 kann in diesem Stadium weiterbehandelt werden. Dabei ist auf den durch die haftvermittelnde Schicht vorgegebenen Temperaturbereich und die erlaubte Chemie zu achten. Ansonsten bezeichnen gleiche Bezugszeichen aus der Fig. 4 gleiche Teile, Komponenten bzw. Schichten in der Fig. 5.

[0012] In Fig. 6 ist eine fünfte Vorstufe des Substratwafers 1 mit aufgebrachtem Trägerwafer 6 dargestellt. Wiederum ist der Substratwafer 1 zusammen mit dem Trägerwafer 6 dargestellt, wobei ebenfalls gleiche Bezugszeichen aus den Fig. 4 und 5 gleichen Teilen bzw. Schichten oder Komponenten der Wafer entsprechen. Im Gegensatz zu den Fig. 4 und 5 ist jedoch in Fig. 6 auf dem Substratwafer 1, und zwar auf seiner der ersten Passivierungsschicht 2 gegenüberliegenden Seite, eine Maskierungsschicht 9 vorgesehen, welche Öffnungen 10 aufweist. Die Maskierungsschicht 9, welche im Folgenden auch als dritte Passivierungsschicht 9 bezeichnet wird, kann erfindungsgemäß Fotolack umfassen oder aber bevorzugt Siliziumoxid bzw. Siliziumnitrit umfassen. Die Dicke der Maskierungsschicht 9 sollte erfindungsgemäß im Bereich zwischen 500 nm und 3,5 µm liegen. Die Maskierungsschicht 9 bestimmt die Bauelementgeometrie, die durch die Öffnungen 10 definiert wird.

[0013] In Fig. 7 ist eine sechste Vorstufe des Substratwafers 1 mit aufgebrachtem Trägerwafer 6 dargestellt, wobei im Bereich der Öffnungen 10 der dritten Passivierungsschicht 9 auf dem Substratwafer 1 tiefe Gräben 11 in den Substratwafer 1 eingebracht wurden. Eine solche Tiefenstrukturierung des Substratwafers 1 erfolgt beispielsweise mit einem herkömmlichen Ätzverfahren, welches beispielsweise aus der deutschen Patentschrift DE 42 41 045 bekannt ist. Dort wird ein Verfahren zum anisotropen Ätzen von Halbleitermaterial, insbesondere Silizium, vorgeschlagen, das dazu geeignet ist, mittels separaten, jeweils alternierend aufeinanderfolgenden Ätz- und Polymerisationsschritten die Gräben 11 in den Substratwafer 1 einzubringen. Der eigentliche Ätzschritt beruht hier zwar auf einem isotropen Prozess; durch die Abfolge von Ätz- und Polymerisationsschritten bzw. Ätz- und Passivierungsschritten ist jedoch das Ergebnis ein stark anisotroper Prozess. Der Ätzangriff dieses tiefenstrukturierenden Ätzverfahrens stoppt mit hoher Selektivität am Ende des Grabens 11 bei dem Erreichen der ersten Passivierungs-

schicht 2. Weiterhin entsprechen wiederum gleiche Bezugszeichen aus den vorangehenden Figuren gleichen Bereichen bzw. Komponenten der Wafer. Durch die Einbringung der Gräben 11 in den Substratwafer 1 wird erst mal die Vereinzelung des Substratwafers 1 in einzelne Substratchips 16 deutlich. In Fig. 7 ist lediglich ein Substratchip 16 dargestellt, wobei seitlich davon jedoch weitere Substratchips 16 angeordnet sind.

[0014] In Fig. 8 ist eine siebte Vorstufe des Substratwafers 1 mit aufgebrachtem Trägerwafer 6 nach einem weiteren Schritt des erfindungsgemäßen Verfahrens zur Vereinzelung dargestellt. Nach der Tiefenstrukturierung, d. h. der Erzeugung der Gräben 11 kann die dritte Passivierungsschicht 9, welche bevorzugt aus Halbleiteroxid bzw. Halbleiternitrit besteht, stehenbleiben, sie kann jedoch auch entfernt werden. Es wird nun eine vierte Passivierung 12 auf der Rückseite des Substratwafers 1 abgeschieden. Die Rückseite des Substratwafers 1 entspricht der der ersten Passivierungsschicht 2 gegenüberliegenden Seite des Substratwafers 1. Die vierte Passivierung 12 besteht erfindungsgemäß insbesondere aus Halbleiteroxid bzw. Halbleiternitrit, d. h. insbesondere aus Siliziumoxid bzw. Siliziumnitrit. Ihre Dicke liegt erfindungsgemäß insbesondere in dem Bereich zwischen 200 nm und 5 µm. Bevorzugt werden Abscheidungsverfahren eingesetzt, mit denen eine ausreichende Bedeckung der mit dem Bezugszeichen 13 bezeichneten Seitenwand der Gräben 11 mit der vierten Passivierung 12 erzielt werden kann. Hierfür ist erfindungsgemäß insbesondere zur Abscheidung der vierten Passivierungsschicht 12 eine Plasmaoxidation, eine CVD-Abscheidung oder auch ein Sputterverfahren bzw. ein Bedampfungsverfahren vorgesehen. Erfindungsgemäß ist es auch möglich, eine thermische Oxidation vorzusehen, wenn es die Stabilität der haftvermittelnden Schicht 8 erlaubt, die für die Durchführung der thermischen Oxidation notwendigen Temperaturen zu erreichen. Ansonsten bezeichnen in Fig. 8 wiederum gleiche Bezugszeichen aus den vorangehenden Figuren gleiche Bereiche oder Komponenten der Wafer.

[0015] In Fig. 9 ist eine achte Vorstufe des Substratwafers 1 mit aufgebrachtem Trägerwafer 6 dargestellt, wobei die Darstellung in Fig. 9 die Situation nach der Durchführung eines weiteren Verfahrensschrittes zeigt. Dieser weitere Verfahrensschritt besteht darin, dass mittels eines gerichteten Ätzverfahrens, wie beispielsweise die Anwendung eines CF₄-Plasmas, die vierte Passivierungsschicht 12 ganzflächig abgedünnt wird, wobei es jedoch an den mit dem Bezugszeichen 14 bezeichneten Bodenflächen der Gräben 11 zu einem vollständigen Abtrag der vierten Passivierungsschicht 12 und der ersten Passivierungsschicht 2 kommt, sodass ein direkter Zugang von der Rückseite des Substratwafers 1 her zur Opferschicht 3 hergestellt wird. Erfindungsgemäß ist es bei diesem Verfahrensschritt vorgesehen, dass Halbleitermaterial, d. h. insbesondere Siliziummateri-

al, nur im Bereich der Opferschicht 3 exponiert, d. h. freigelegt wird. Die restliche Struktur soll hermetisch gegen den in einem nachfolgenden Verfahrensschritt angewendeten Ätzprozess geschützt sein. Optional kann es erfindungsgemäß jedoch vorgesehen sein, auf eine hermetische Passivierung des Chips 16 zu verzichten, da bei dem für den nachfolgenden Ätzschritt bevorzugt eingesetzten Xenondifluorid-Ätzverfahren die Ätzraten in dünnen Schichten wie beispielsweise der Opferschicht 3 um wenigstens eine Größenordnung, beispielsweise den Faktor 10 oder 20, höher ist als die Ätzraten an dicken Schichten wie beispielsweise der Silizium- bzw. Halbleiterschicht des Substratwafers 1. Wenn also keine hermetische Passivierung des Substratwafers 1 vorgesehen ist und somit ein Ätzangriff während der Entfernung der Opferschicht 3 zugelassen ist, dann muss dieser Strukturverlust des Substratwafers 1 beim Design der Substratchips 16 vorgesehen werden. Es kann hierbei zu einer geringfügigen Aufrauung der Oberflächen kommen, was nicht nachteilig sein muss.

[0016] In Fig. 10 ist der Trägerwafer 6 zusammen mit den Chips 16 nach der Durchführung des Verfahrensschrittes dargestellt, welcher zur Entfernung der Opferschicht 3 führt. In dieser Situation sind die Chips 16 fast vereinzelt. Hierzu ist mit dem Bezugszeichen 15 und einem Pfeil der Ätzangriff eines geeigneten Ätzgases an die freiliegende, in Fig. 10 jedoch nicht mehr dargestellte Siliziumschicht dargestellt. Die Opferschicht 3 wurde somit selektiv gegenüber der zweiten und vierten Passivierungsschicht 5, 12 entfernt. Erfindungsgemäß können durch die Verwendung von Xenondifluorid bzw. Chlortrifluorid oder auch verwandten Ätzgasverbindungen sehr große Unterätzweiten erzielt werden. Diese großen Unterätzweiten sind erfindungsgemäß notwendig, weil fast die gesamte Breite des Substratchips 16 erfindungsgemäß unterätzt werden muss. Erfindungsgemäß ist es mit solchen Ätzverfahren möglich, auch sehr große Bauelemente, d. h. Substratchips, mit mehreren Millimetern Durchmesser frei zu ätzen. Für größere Bauelemente können jedoch in den Substratwafer 1 eine oder mehrere Ausnehmungen eingebracht werden, die einen Zutritt des Ätzgases 15 zur Opferschicht 3 zulässt. Solche Ausnehmungen werden im Folgenden auch als Perforationslöcher bezeichnet. Solche Perforationslöcher müssen selbstverständlich als in der Fig. 7 dargestellte Ausnehmungen 10 in der dritten Passivierungsschicht 9 vorgesehen sein. Solche Perforationslöcher bzw. Ausnehmungen in dem Substratwafer 1 sind jedoch in den Figuren nicht dargestellt. Durch eine solche Perforation wird erreicht, dass das zur Entfernung der Opferschicht 3 eingesetzte Ätzgas an mehreren Stellen der Bauelementfläche angreifen kann und sich dadurch große Grundflächen in kurzer Zeit unterätzen lassen. Der Abstand solcher Perforationslöcher untereinander soll erfindungsgemäß beispielsweise zwischen 20 µm und 1.000 µm liegen.

[0017] In Fig. 11 ist der Trägerwafer 6 zusammen

mit einem abgelösten Substratchip 16 dargestellt. Gleiche Bezugszeichen aus vorangehenden Figuren bezeichnen in Fig. 10 und 11 gleiche Teile bzw. Komponenten der Wafer bzw. Chips. Beim erfindungsgemäßen Verfahren ist es vorgesehen, dass der Chip 16 nach der Entfernung der Opferschicht lediglich noch an einer vergleichsweise kleinen Fläche am Trägerwafer 6 befestigt ist. Diese kleine Fläche wird im Folgenden auch als schmaler Sockel bezeichnet und liegt im Bereich der in Fig. 2 mittels des Bezugszeichens 4 bezeichneten Unterbrechung der dort dargestellten Opferschicht 3. Der in Fig. 2 dargestellten Unterbrechung der Opferschicht 3 entspricht in Fig. 10 und 11 die Verbindung zwischen Trägerwafer 6 und dem Substratchip 16. In Fig. 11 ist der schmale Sockel bzw. die schmale Verbindungsstelle zwischen dem Trägerwafer 6 und dem Chip 16 mit dem Bezugszeichen 17 dargestellt. Eine Ablösung des Chips 16 von dem Trägerwafer 6 ist erfindungsgemäß mittels einer definierten Kraft möglich, welche in Fig. 11 mit dem Bezugszeichen 18 und einem Pfeil dargestellt ist. Durch die Möglichkeit, die Verbindungsfläche am Sockel 17 zwischen dem Chip 16 und dem Trägerwafer 6 durch entsprechende Designmaßnahmen festzulegen, ist es möglich, die Ablösekraft 18 einzustellen. Hierdurch ist es möglich, dass auch filigrane Strukturen von Chips 16 mit dem erfindungsgemäßen Verfahren sicher vereinzelt werden können. Nach dem Ätzen der Opferschicht 3 liegen damit die einzelnen Chips 16 bzw. Bauelemente 16 an dem schmalen Sockel 17 schwach mechanisch gekoppelt vor. Trotz der schwachen mechanischen Kopplung liegen die Bauelemente 16 im kompakten und hermetisch nach unten geschlossenen Waferverbund vor. Die Anbindung erfolgt lediglich über den mittels des Bezugszeichens 17 dargestellten Bereich, durch dessen Flächenausdehnung die mechanische Haftung bestimmt wird. Durch die Kraft 18 längs des Pfeils 18 kann der Chip 16 vom Trägerwafer 6 gelöst werden. Das Ablösen kann mit bekannten Verfahren aus der Montagetechnik erfolgen. Das Bauteil 16 kann dabei in einen anderen Träger zur Weiterverarbeitung übergeben werden, beispielsweise einen Trägergurt.

[0018] In Fig. 12 ist der Trägerwafer 6 zu seiner Wiederverwendung dargestellt. Hierbei wird das Grundsubstrat 7 von der haftvermittelnden Schicht 8 und weiteren Schichten getrennt. Dadurch ist es möglich, den Grundwafer 7 des Trägerwafers 6 erneut für die erfindungsgemäße Vereinzelung von Bauelementen 16 zu verwenden. Die haftvermittelnde Schicht 8 wird mit den Resten der Opferschicht vom Trägerwafer 6 abgezogen oder aufgelöst und anschließend wird der Grundwafer 7 des Trägerwafers 6 gereinigt.

[0019] Erfindungsgemäß ist es mit dem dargestellten Verfahren möglich, filigrane Chips 16, wie beispielsweise mikromechanische Strukturen, aus dem Waferverbund eines Substratwafers 1 zu isolieren und danach ohne eine ungewollte mechanische Be-

schädigung zu vereinzeln und weiterzuverarbeiten. Kern des erfindungsgemäßen Verfahrens ist dabei, dass der Trägerwafer 6 mit dem Substratwafer 1 verbunden wird. Nach dem Vereinzeln der Bauelemente 16 auf dem Substratwafer 1 mittels eines Tiefenstrukturierungsverfahrens wird zwischen dem Substratwafer 1 und dem Trägerwafer 6 die Opferschicht 3, vgl. Fig. 9 bzw. 10, nahezu vollständig entfernt, sodass die Bauelemente 16 nur mit einem schmalen Sockel 17 auf dem Trägerwafer 6 haften. Die einzeln verankerten Bauelemente 16 werden in der weiteren Verarbeitung mit bekannten Verfahren aus der Montagetechnik einzeln aus dem Waferverbund herausgezogen, wobei der Sockel 17 dabei eine definierte Sollbruchstelle darstellt. Das erfindungsgemäße Verfahren hat gegenüber bekannten Verfahren den Vorteil, dass die mechanische Belastung der Bauelemente 16 bei dem Vereinzeln bzw. bei dem Abziehen äußerst gering ist und darüber hinaus über die Struktur des schmalen Sockels 17 steuerbar vorgesehen ist. Damit ergibt sich ein Vorteil gegenüber bekannten Verfahren auf der Grundlage von Trägerfolien. Dies gilt insbesondere für kritische Chipgeometrien und insbesondere für dünne Chips (flexible Chips, ultra-thin dices) mit Dicken unter 300 µm oder für schmale Strukturen wie beispielsweise Nadel- oder Lamellenstrukturen.

[0020] Das erfindungsgemäße Verfahren hat weiterhin gegenüber Verankerungsstrategien, bei denen die Chips 16 bzw. die mikromechanischen Strukturen lateral angebunden sind und in der Ebene des Substratwafers 1 gehalten werden, den Vorteil, dass bei der Strukturierung keine Durchgangslöcher in den Substratwafer 1 eingebracht werden, da der Substratwafer 1 bei der Tiefenstrukturierung durch die Opferschicht 3 hermetisch abgeschlossen ist. Dies spielt vor allem bei Vakuumprozessen, wie beispielsweise dem Tiefenätzen, eine entscheidende Rolle. Darüber hinaus ist die Verankerung zwischen Trägerwafer 6 und Substratchip 16 an der Unterseite des Substratchips 16 für viele Bauelementanwendungen vorteilhaft gegenüber einer lateralen Anbindung, da die Randgeometrie nicht gestört wird. Bei dem erfindungsgemäßen Verfahren werden daher auf einer Seite eines zu strukturierenden Substratwafers eine oder mehrere Opferschichten aufgebracht. Hierbei wird unter einem Substratwafer 1 entweder ein fertig bearbeiteter integrierter Schaltkreis, beispielsweise auch ein ultradünner integrierter Schaltkreis, oder aber ein unstrukturierter Rohwafer verstanden. Weiterhin wird unter einem Substratwafer 1 beispielsweise auch ein Wafer mit optischen oder elektronischen Bauelementkomponenten verstanden. Dabei können die aktiven Bauelementstrukturen des Substratwafers 1 sowohl auf seine Vorder- als auch auf seiner Rückseite vorgesehen sein. Der Substratwafer wird dann mit einer Seite, im Folgenden als seine Vorderseite bezeichnet, auf den Trägerwafer 6 montiert. Hierfür kann der Substratwafer 1 direkt mit dem Trägerwafer 6 verbunden werden, d. h. die oben be-

schriebene haftvermittelnde Schicht 8 bzw. die haftvermittelnde Folie wird weggelassen oder aber es wird die haftvermittelnde Schicht 8 zwischen dem Trägerwafer 6 und dem Substratwafer 1 vorgesehen. In einer besonderen Ausgestaltung des erfindungsgemäßen Verfahrens kann die haftvermittelnde Schicht 8 gleichzeitig auch die Funktion der Opferschicht 3 erfüllen.

[0021] Erfindungsgemäß wird der Waferverbund aus dem Trägerwafer 6 und dem Substratwafer 1 von der Rückseite des Substratwafers 1 weiterbearbeitet. Dadurch ist es erfindungsgemäß möglich, dass nach einem optionalen Abdünnungsschritt des Substratwafers 1 der Substratwafer 1 durch ein Tiefenätzverfahren strukturiert wird. Hierbei können filigrane Strukturen durch den gesamten Wafer hindurch geätzt werden. Gegenüber Sägeverfahren zur Vereinzelung der Chips 16 ist es dadurch möglich, auch nicht geradlinige Trennungslinien zwischen den Chips 16 vorzusehen. Nach dem Tiefenätzverfahren wird in einem weiteren Schritt ein direkter Zugang zur Opferschicht 3 hergestellt, wobei die Opferschicht 3 zwischen dem Trägerwafer 6 und dem Substratwafer 1 eingebettet ist. Der Zugang zur Opferschicht wird insbesondere dadurch hergestellt, dass die vierte und die erste Passivierungsschicht 12, 2 zumindest an den Enden der Gräben 11 entfernt werden. Durch das danach folgende selektive Ätzen der Opferschicht 3 gegenüber der Struktur des Trägerwafers 6 und der haftvermittelnden Schichten wird die Opferschicht 3 bis auf einen definierten Rest, welcher dem schmalen Sockel 17 entspricht, entfernt. Bevorzugt wird erfindungsgemäß ein selektives Ätzverfahren eingesetzt, welches sehr hohe Unterätzweiten ermöglicht. Als Opferschicht 3 wird erfindungsgemäß insbesondere Silizium bzw. Polysilizium eingesetzt und selektiv gegenüber der ersten, zweiten und vierten Passivierungsschicht 25, 12, dem Lack, der beispielsweise als Haftfolie vorgesehenen haftvermittelnden Schicht 8 und so weiter durch die Verwendung von Xenondifluorid, Chlortrifluorid oder verwandten Verbindungen geätzt. Es besteht aber prinzipiell erfindungsgemäß auch die Möglichkeit, jede andere Opferschichttechnik einzusetzen. Nach dem Opferschichtätzen steht der Chip 16, d. h. beispielsweise die mikromechanische Struktur, in der Ebene des Trägerwafers 6 freitragend und nur auf dem definierten Rest, d. h. dem schmalen Sockel 17 verankert.

[0022] Die Verankerung über den schmalen Sockel 17 ist derart dimensioniert, dass die Verbindung zum Trägerwafer 6 so stabil ist, dass der Waferverbund, d. h. der Trägerwafer 6 und die vereinzelt Chips 16, gut gehandhabt werden können und die Chips 16 in der Weiterverarbeitung des Waferverbundes nicht herausbrechen. Die Haftung zwischen den Chips 16 und dem Trägerwafer 6 kann über den schmalen Sockel 17 jedoch so gering gehalten werden, dass die Chips 16 leicht vom Trägerwafer 6 abgerissen werden können. Durch die geschickte Wahl der Abschei-

deparameter und der Grenzflächenbehandlung direkt vor der Abscheidung der Opferschicht 3 kann eine Ablösung bevorzugt direkt an der Oberfläche des Substratwafers erzielt werden, sodass keinerlei Reste der Opferschicht bzw. des schmalen Sockels 17 an der Unterseite des Chips 16 verbleiben. In vielen Fällen ist es jedoch so, dass Oxidreste in der Größenordnung von ca. 100 nm bis 2 µm nicht stören. Mit dem erfindungsgemäßen Verfahren können somit filigrane Strukturen von Chips 16 vor einer ungewollten Beschädigung beim Vereinzeln aus dem Waferverbund geschützt werden, was ein entscheidender Nachteil bei der Verarbeitung mit Trägerfolien ohne eingebettete Opferschicht ist. Beim erfindungsgemäßen Verfahren kann nach der Ablösung aller Chips 16 vom Trägerwafer 6 der Trägerwafer 6 recycelt werden, indem die haftvermittelnde Schicht 8 mitsamt den Resten der Opferschicht abgezogen bzw. aufgelöst wird. Bei der Verwendung von Silizium bzw. Polysilizium als Opferschicht 3 und der Verwendung von Xenondifluorid bzw. Chlortrifluorid ist es erfindungsgemäß vorteilhaft möglich, die Opferschicht 3 selektiv zur passivierten Bauelementstruktur 16 zu ätzen, wobei mit diesem Verfahren sehr große Unterätzweiten in sehr kurzen Prozesszeiten erzielt werden können.

Patentansprüche

1. Verfahren zur Zertrennung eines Substratwafers (1) in eine Anzahl von Substratchips (16), bei dem die Substratchips (16) durch ein selektives Tiefenstrukturierungsverfahren voneinander getrennt werden, **dadurch gekennzeichnet**, dass der Substratwafer (1) mit einem Trägerwafer (6) temporär verbunden wird, dass anschließend eine Opferschicht (3) zwischen dem Substratwafer (1) und dem Trägerwafer (6) entfernt wird und dass hierbei die Haftung zwischen dem Substratchip (16) und dem Trägerwafer (6) auf eine verkleinerte Mindesthaftung reduziert wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Substratchips (16) zeitlich vor dem Opferschichtätzen passiviert werden.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Mindesthaftung durch einen schmalen Sockel (17) zwischen dem Substratchip (16) und dem Trägerwafer (6) vorgesehen ist.

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass zur Entfernung der Opferschicht (3) wenigstens eine Ausnahme im Substratchip (16) vorgesehen ist.

5. Substratchip (16), vereinzelt nach einem Verfahren gemäß den vorhergehenden Ansprüchen, dadurch gekennzeichnet, dass der Substratchip (16) wenigstens einen Teil des Sockels (17) aufweist.

6. Substratchip (16) nach Anspruch 5, dadurch gekennzeichnet, dass der Substratchip (16) wenigstens eine Ausnehmung zur Entfernung der Opferschicht (3) aufweist.

Es folgen 4 Blatt Zeichnungen

Fig. 1

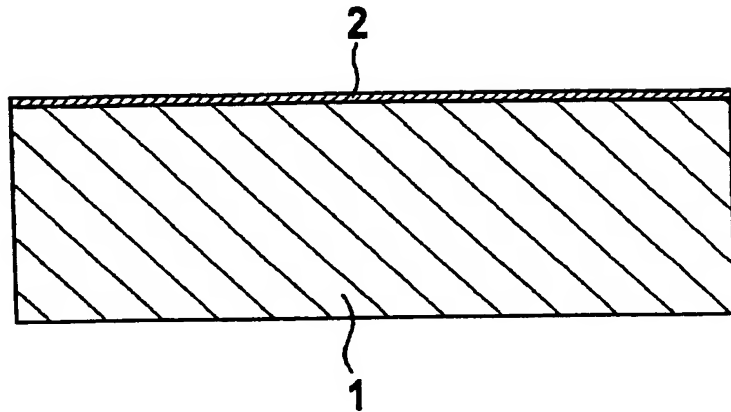


Fig. 2

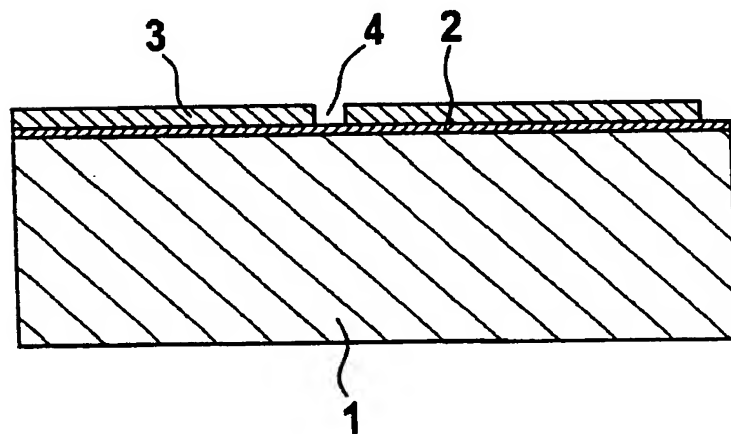


Fig. 3

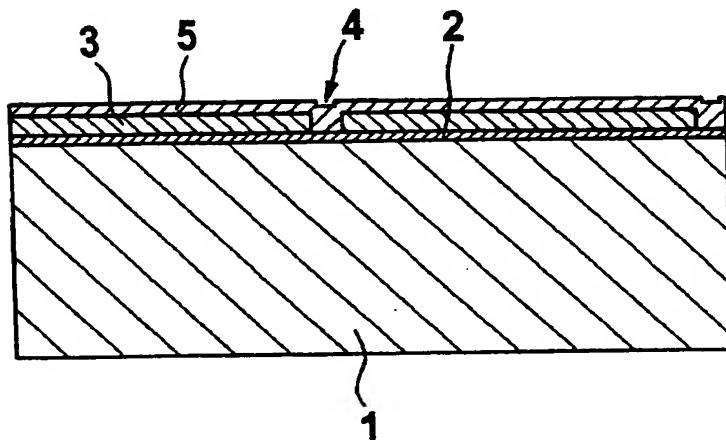


Fig. 4

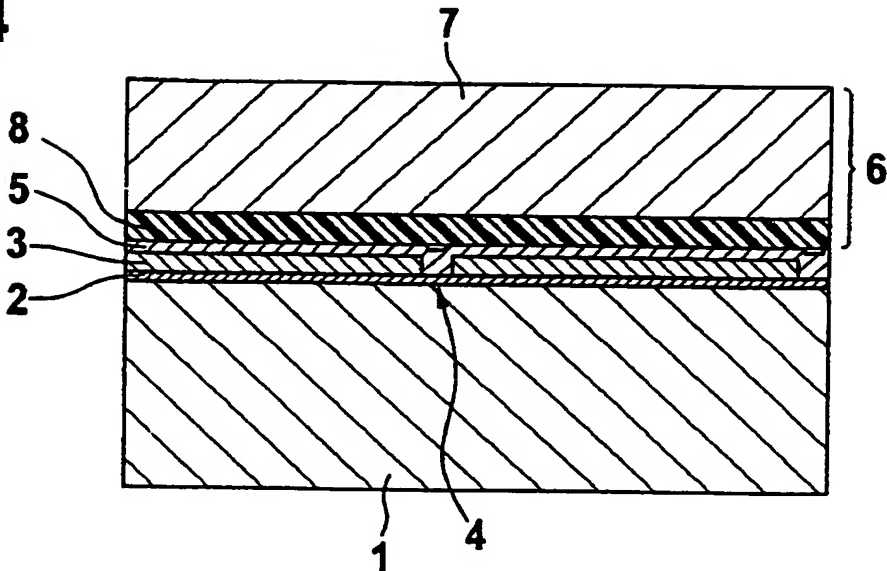


Fig. 5

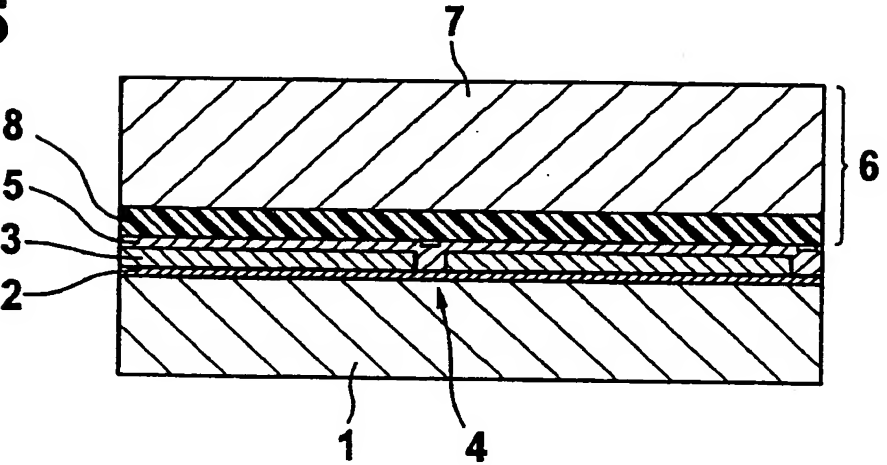


Fig. 6

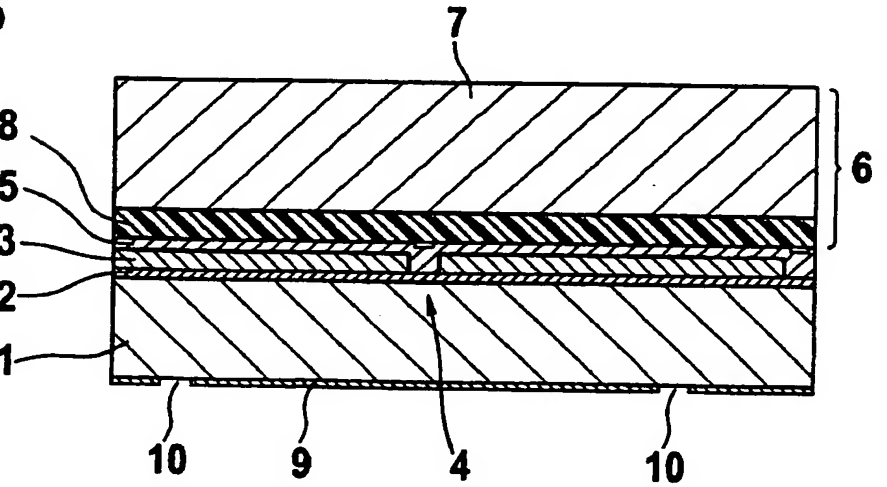


Fig. 7

A cross-sectional view of a multi-layered structure 7. The structure consists of a top layer 8, a middle layer 5, and a bottom layer 3. The middle layer 5 is further divided into sub-layers 2 and 3. The bottom layer 3 is supported by a base 1. The structure is shown in a perspective view, with a bracket 6 indicating the total thickness of the layers 8, 5, and 3. The base 1 is shown in a perspective view, with a bracket 16 indicating its width. The structure is labeled with various numbers: 7, 8, 5, 3, 2, 1, 11, 9, 1, 11, 16, 16, 16.

Fig. 8

A cross-sectional view of a multi-layered structure 6. The structure consists of several layers: a top layer 7 with diagonal hatching, a layer 8 with cross-hatching, a layer 5 with diagonal hatching, a layer 3 with a wavy pattern, and a bottom layer 2 with a dotted pattern. A central horizontal feature 1 is embedded within the layers. Below the main structure, there are two vertical supports 11, a central region 12, and a bottom layer 9. A bracket 13 indicates a section of the bottom layer 9. A large bracket 16 spans the width of the bottom section.

Fig. 9

7

6

8

5

3

2

14

9

12

1

13

16

Fig. 10

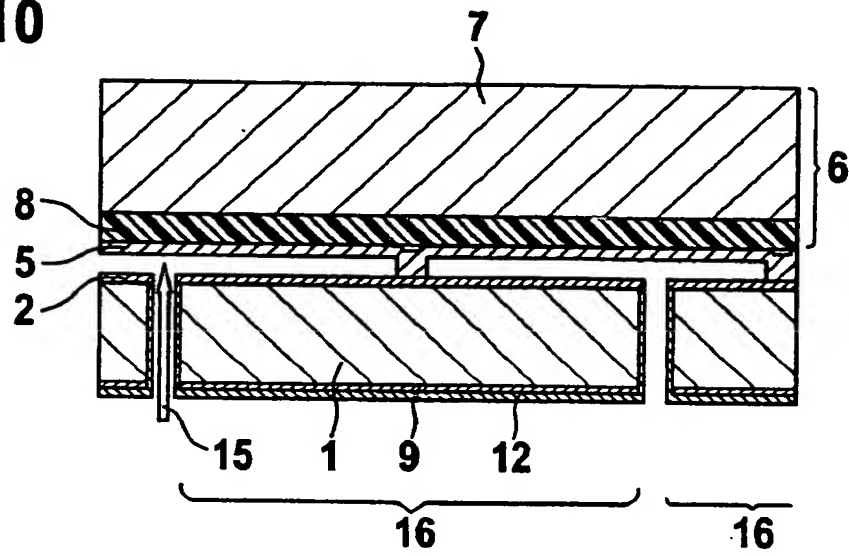


Fig. 11

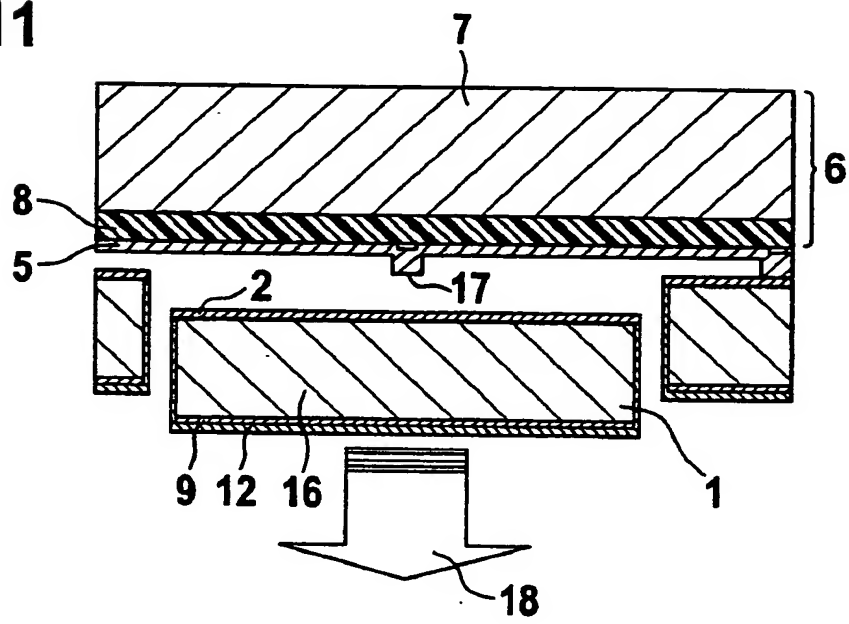
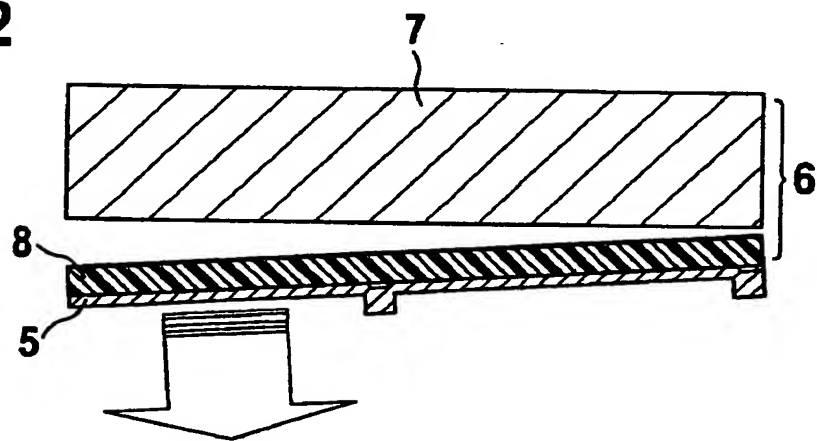


Fig. 12



THIS PAGE BLANK (USPTO)